

DISAIN PENGUAT OPERASIONAL (OP-AMP) DUA STAGE UNTUK APLIKASI ADC SIGMA DELTA ($\Sigma\Delta$) DENGAN KECEPATAN TINGGI MENGGUNAKAN CMOS TEKNOLOGI AMS 0,35 μm

Joko purnomo¹, Dyah Nur'ainingsih², Hamzah Afandi³, Eri Prasetyo⁴
1,2,3,4 Universitas Gunadarma, Jl. Margonda Raya 100 Depok, Jawa Barat, Indonesia
{jokopurn, dyahnur, hamzah, Eri}@staff.gunadarma.ac.id

Abstrak

Kebutuhan op-amp kecepatan tinggi untuk penerapan ADC sangat signifikan, hal ini karena banyak perangkat multimedia membutuhkan ADC sebagai sarana konversi analog ke digital. Selain itu dapat diaplikasikan untuk penguatan video. Metode yang digunakan dalam desain adalah eksperimen dengan simulasi perangkat lunak mentor graphic. Terdapat dua tahapan desain, yang pertama perancangan rangkaian op-amp dua stage dan kedua desain lay-out chip op-amp dua stage. Disain op-amp dua stage dengan menggunakan CMOS teknologi AMS 0,35 μm yang bertujuan untuk pengembangan pada penguatan terbuka <60dB, lebar pita frekuensi >250MHz, tegangan OS \approx 0V, konsumsi daya < 10mW dan tegangan kerja 3,3V untuk ADC Sigma-Delta ($\Sigma\Delta$) 8-bit.

Kata kunci : Dua stage, Op-amp, Open Loop, Close Loop, Output Swing, ADC

1. Latar Belakang.

Penggunaan penguat operasional (op-amp) sangat luas, terutama pada bagian analog misal penguatan sinyal audio-video, pada radio untuk proses pencampuran (mixer) sinyal dan pada konversi sinyal di letakkan pada proses sampling dan multiplying.

Belakangan ini, penelitian dalam rangka peningkatan kemampuan sistem digital dengan teknologi CMOS terus berjalan. CMOS mempunyai kelebihan utama bila dibandingkan dengan bipolar, bahwa CMOS mempunyai peluang besar dalam kemudahan pembuatan pada satu chip. Adanya permintaan pasar yang tinggi terhadap perangkat digital, membuat konverter analog ke digital mulai banyak dikembangkan dan terbuka pada kecepatan, resolusi dan konsumsi daya rendah. Melihat dari arsitektur ADC banyak membutuhkan penguat

operasional (op-amp) sebagai proses pensaklaran kapasitor dan sampling-hold.

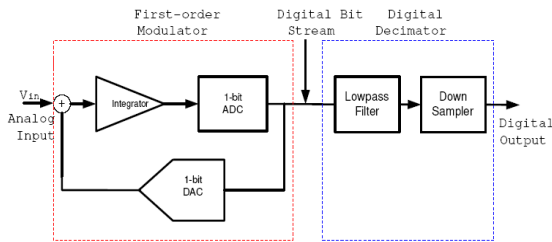
Melihat permasalahan diatas diperlukan sebuah penguat operasional (op-amp) yang mempunyai penguatan terbuka, lebar bandwidth dan konsumsi daya, dengan menggunakan komponen PMOS dan NMOS untuk dapat diaplikasikan pada ADC. Spesifikasi dari ADC yang di pilih jenis pipeline. karena ADC ini ditanamkan bersama kamera kecepatan tinggi, sehingga kecepatan ADC min 50MSPS dengan resolusi 8-bit. Kebutuhan spesifikasi op-amp dengan teknologi CMOS untuk mendukung ADC sigma delta adalah penguatan terbuka min 60dB dan bandwidth 158,4MHz. Untuk itu didisain penguat operasional (op-amp) dengan topologi dua stage dengan teknologi CMOS AMS 0,35 μm dengan tools mentor graphic.

2. ADC Sigma-Delta ($\Sigma\Delta$)

ADC (*Analog to Digital Converter*) merupakan salah satu komponen utama dalam sistem pengolahan sinyal digital. Sesuai namanya ADC berfungsi untuk mengkonversi sinyal analog (*kontinu*) menjadi sinyal digital (*diskrit*). Proses digitalisasi dilakukan melalui sampling dan kuantisasi. Kecepatan sampling akan menentukan jumlah sample persatuan waktu (*detik*). Sedang kuantisasi menentukan resolusi jumlah bit yang digunakan untuk mengkodekan nilai setiap sampelnya. Dengan terus berkembangnya perangkat elektronik digital berkecepatan tinggi yang sumber datanya adalah data analog maka peran ADC terus meningkat. Misal pada kamera dan radio frekuensi membutuhkan jenis ADC yang mempunyai spesifikasi kecepatan dan resolusi yang tinggi.

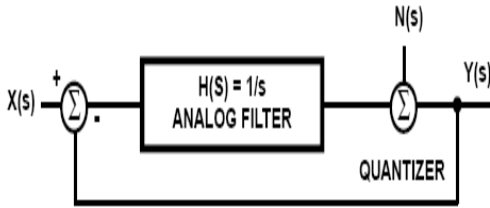
Prinsip kerja ADC jenis sigma delta seperti pada gambar 1, sinyal masukan dijumlahkan dengan hasil umpan balik DAC 1-bit, keluaran ini oleh integrator dirubah ke bentuk segitiga, oleh ADC 1-bit dirubah menjadi digital bit stream serial, dengan digital decimator yang berisikan filter dan penurun

sampling dihasilkan keluaran digital serial yang sebanding dengan sinyal masukan (V_{in}). ADC ini banyak diaplikasi pada peralatan audio karena memiliki resolusi tinggi, namun kelemahannya adalah kecepatan rendah. Dengan berkembang teknologi mixed disain, banyak dilakukan penelitian jenis ADC dalam usaha meningkatkan kecepatan sehingga dapat digunakan untuk aplikasi RF



Gambar 1. ADC Jenis Sigma Delta

Untuk model simulasi dapat diselesaikan dengan metode Z transform.



Gambar 2. Model ADC Sigma-Delta ($\Sigma\Delta$) Analisis rangkaian;
Fungsi sinyal transfer, $Y(s) = [X(s) - Y(s)] 1/s$
Jika $N(s) = 0$

$$\frac{Y(s)}{X(s)} = \frac{1/s}{1 + 1/s} = \frac{1}{s + 1} \quad (1)$$

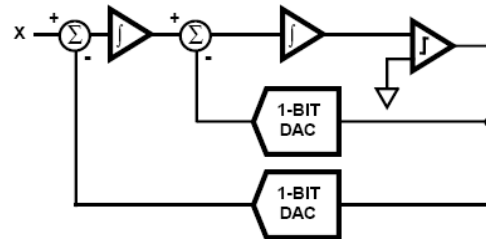
Fungsi noise transfer, $Y(s) = - Y(s) 1/s + N(s)$
Jika $X(s) = 0$

$$\frac{Y(s)}{N(s)} = \frac{1}{1 + \frac{1}{s}} = \frac{s}{s + 1} \quad (2)$$

Dengan mengubah komponen penyusun pada gambar 1 misal pada komparator dan integrator digunakan jenis IC yang memiliki bandwidth tinggi, dan kuantisasi menggunakan IC CMOS yang memiliki delay yang kecil maka akan didapatkan ADC dengan kecepatan tinggi. Untuk mendukung ini maka perubahan rangkaian diskrit adalah hal yang mungkin dilakukan berbeda dengan menggunakan komponen yang

sudah ada dengan alasan konsumsi daya yang besar. Dengan perubahan ini maka didapat sebagai ADC yang bisa digunakan untuk mengubah sinyal video, untuk memory data maka dapat menggunakan pengubah serial ke paralel dan dari paralel data dapat disimpan ataupun diproses

Pada ADC Sigma-Delta ($\Sigma\Delta$) berkecepatan tinggi ini bisa juga digunakan untuk pendukung kamera berkecepatan tinggi. Untuk itu dirancang ADC yang beresolusi 12 bit, dengan periode minimal 400 mikro second. Adapun rancangannya dengan orde 2 adalah



Gambar 3. ADC Sigma-Delta ($\Sigma\Delta$) Orde dua

Dari gambar rancangan dapat dilihat bahwa komponen penyusun utama ADC Sigma Delta ($\Sigma\Delta$) adalah OP-AMP, kecepatan dan bandwidth OP-AMP sangat berpengaruh pada kecepatan dari ADC yang dirancang. Untuk itu sebelum ke perancangan lengkap perlu perancangan OP-AMP sebagai komponen penyusun utama.

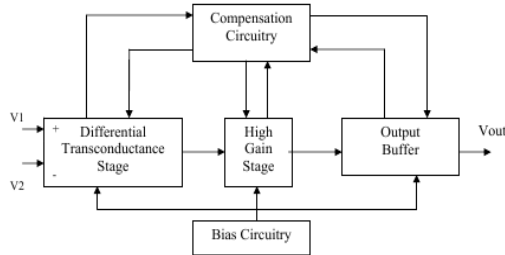
3. Pendekatan Disain Transconductance OP-AMP (OTA)

Fungsi op-amp pada ADC *Sigma-Delta* ($\Sigma\Delta$) digunakan proses *sample and hold* (SHA) dan multiplying, syarat Spesifikasi op-amp pada ADC *Sigma-Delta* ($\Sigma\Delta$).. [Lisha.L,2007, Boaz.S.T,2004, Xin Jiang,2003, B.Razawi,2001, G.Palmisano,2001, J.Baker,1998]

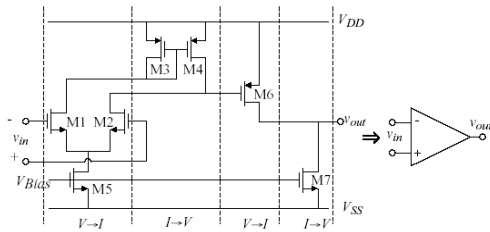
- Gain Open Loop (AoL) $\geq 2^{N+2}$ V/V.
- Gain Open Loop (dB) $\geq 20 \cdot \log 2^{N+2}$ V/V (3)
- Gain Close Loop (AcL) = 2 V/V
- Frekuensi Unity (f_u) $\geq 0,22(N + 1) f_{clock}$. (4)

Tampak pada gambar 1 diagram blok penyusun dua stage op-amp CMOS dan pada gambar 4. rangkaian op-amp OTA. Penguat differensial (M1-4) menyediakan dua masukan membalik dan tak membalik dengan menyebabkan noise dan offset. Penguatan tinggi (high gain M6-7) hampir mirip dengan gerbang

not bila op-amp menggerakkan beban rendah maka diikuti oleh stage penyangga (buffer), arus bersama (IM5) disediakan oleh rangkaian cermin arus.

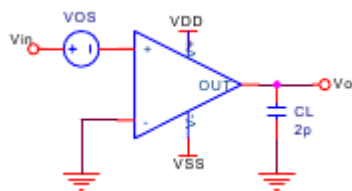


Gambar 4. Blok diagram 2-Stage Op-Amp Transconductance.

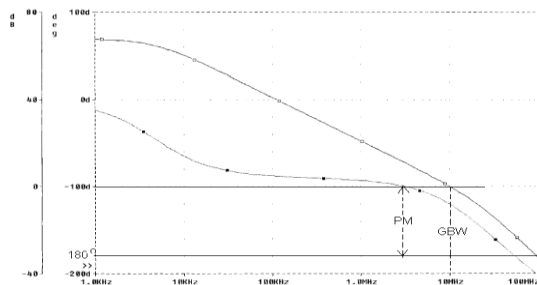


Gambar 5. Rangkaian 2-stage OP-AMP Transconductance.

Op-amp ideal mempunyai karakteristik, penguatan mode terbuka tak terhingga ($A_{oL} = \infty$), penguatan mode tertutup (Buffer = $A_{cL} = 1$), impedansi masukan tak terhingga ($R_{IN} = \infty \Omega$), impedansi keluaran hampir sama 0 ($R_o \approx 0 \Omega$), Lebar pita penguatan ($GBW = \infty$), besar $V_{out} = A_v(V_+ - V_-)$, dengan A_v digunakan disain pada penguatan mode terbuka (A_{oL}). Gambar 3 rangkaian uji A_{oL} dan Phase margin dan gambar 7 hasil pengukuran nilai A_{oL} dan PM.

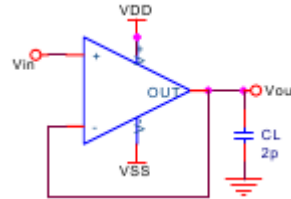


Gambar 6. Rangkaian Uji Karakteristik A_{oL} dan PM



Gambar 7. Grafik Gain A_{oL} dan PM.

Semua op-amp mempunyai batasan pada jangkauan tegangan operasi kerjanya. Batasan CMIR (*common mode input range*) adalah batasan skala jangkauan tiap masukan op-amp. Di luar batasan tersebut menyebabkan keluaran distorsi atau terpotong, pada gambar 8 rangkaian uji CMR.

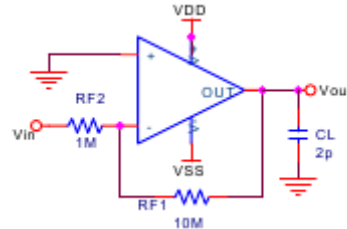


Gambar 8. Rangkaian Uji CMR OP-AMP.

$$CMR^- = V_{SS} + \sqrt{\frac{I_{D5}}{\beta_1}} + V_{in(max)} + V_{DS5(sat)} \geq 90\% \cdot V_{OS} \quad (5)$$

$$CMR^+ = V_{DD} - \sqrt{\frac{I_{D5}}{\beta_3}} - |V_{TO3}|_{(max)} + V_{in(min)} \leq 90\% \cdot V_{OS} \quad (6)$$

Keluaran tegangan swing adalah maksimal tegangan puncak keluaran op-amp dapat dihasilkan sebelum tegangan terpotong. Tegangan ini tergantung tegangan kerja op-amp (V_{DD} atau V_{SS}), pada gambar 9 rangkaian uji tegangan swing keluaran op-amp.

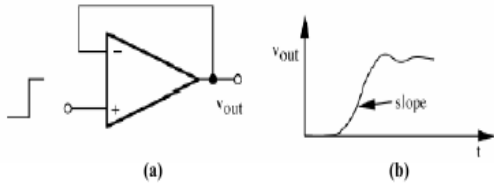


Gambar 9. Rangkaian Uji Tegangan Swing OP-AMP.

$$V_{OUT}^- = |V_{DSAT7}| = \sqrt{\frac{2I_{D7}}{\beta_7}} \leq 90\% \cdot V_{SS} \quad (7)$$

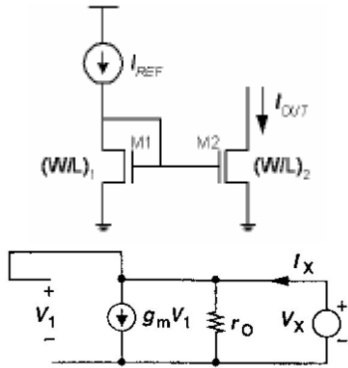
$$V_{OUT}^+ = |V_{DSAT6}| = \sqrt{\frac{2I_{D7}}{\beta_6}} \leq 90\% \cdot V_{DD} \quad (8)$$

Slew rate (SR) adalah maksimal kemiringan (slope) tegangan keluaran op-amp, hal ini menentukan kestabilan op-amp untuk masukan bentuk gelombang kotak. Pada gambar 10 adalah rangkaian uji slew rate.



Gambar 10.
 (a) Rangkaian Uji Slew Rate
 (b) Keluaran OP-AMP

Fungsi cermin arus sebagai sumber arus bias bagi komponen MOS untuk pengendali atau penggerak atau juga dapat sebagai cermin arus sumber dengan arus kendali, misal $I_{ref} = I_{out}$, pada gambar 11.



Gambar 11. Rangkaian Cermin Arus.

$$I_G = 0, \quad I_{D1} = I_{ref}, \quad I_{D2} = I_{D1},$$

$$I_{Out} = I_{ref} \quad (11)$$

$$I_x = V_x + gmV_x, \quad V_1 = V_x,$$

$$I_x = I_{ref} \quad (12)$$

Jika ukuran M1 sama dengan M2 maka

$$I_{Out} = I_{ref}, \text{cermin arus} \rightarrow \text{jika} \left(\frac{W_2}{L_2}\right) = \left(\frac{W_1}{L_1}\right) \quad (13)$$

Jika ukuran M1 tidak sama dengan M2 maka

$$I_{Out} = I_{ref} \frac{W_2/L_2}{W_1/L_1} \quad (14)$$

Pada gambar 2. Op-amp 2 stage transconductance dapat dianalisa sebagai berikut:
 Penguatan stage 1

$$AV1 = \frac{gm_{1,2}}{g_{ds2} + g_{ds4}} = \frac{2gm_{1,2}}{I_{ss}(\lambda_2 + \lambda_4)} \quad (15)$$

Penguatan Stage 2

$$AV2 = \frac{gm_6}{g_{ds6} + g_{ds7}} = \frac{gm_6}{I_{D6}(\lambda_6 + \lambda_7)} \quad (16)$$

Di mana ,
 g_{ds} = parameter transconductance drain to source
 λ = parameter channel length modulation

4. Disain Op-amp Dua Stage .

Dalam mendesain op-amp OTA dua stage pada gambar 9 dapat dimulai langkah disain sebagai berikut:

- Menentukan besar transconductance $gm_{1,2}$ dengan asumsi $GBW = 600\text{MHz}$ agar dapat menjangkau periode sampling dan multiplying.

$$gm_2 = GBW * 2\pi * C_c, \quad C_c = 0,25 \text{ pF}$$

$$\text{dan } C_L = 1,15 \text{ pF}$$

$$gm_2 = 952,47 \mu\text{A/V}$$

Dimana $gm_2 = gm_1$ sehingga arus drain yang melewati kedua komponen M1 dan M2 adalah sama, $I_{D1} = I_{D2} = I_{SS}/2$.

- Sekarang untuk menentukan ukuran M3, M4 dan M5 menggunakan input CMR dengan transistor berada pada daerah saturasi $V_{DS} > V_{GS} - V_{TH}$

$$\text{Dimana } I_{D3} = I_{D4} =$$

$$40\mu\text{A} = \frac{K_p W}{2 L} (V_{GS3,4} + V_{THP})^2$$

$$\rightarrow \left(\frac{W}{L}\right)_{3,4} = 6,4$$

$$\text{Jadi } L_{3,4} = 0,35\mu\text{m} \text{ maka } W_{3,4} = 2,2\mu\text{m}$$

- Untuk mencari lebar W dengan menggunakan $V_{GS5} = V_{GS7}$ dengan $I_{D7} = I_{D6} = 224\mu\text{A}$ dapat dilakukan perhitungan kembali;

$$\text{Jadi } \left(\frac{W}{L}\right)_7 = 147 \rightarrow L_7 = 0,35\mu\text{m} \text{ maka}$$

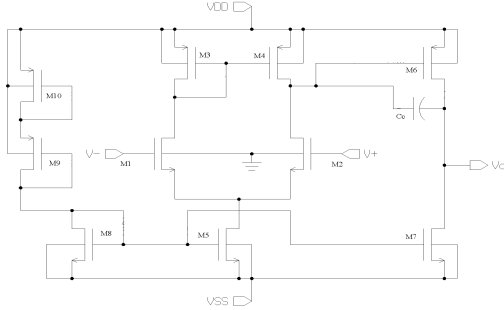
$$W_7 = 51\mu\text{m} \quad I_{D7} = I_{D6} = 224\mu\text{A}$$

Dan ukuran M6 dimana

$$(V_{GS} + V_{THP})_6 = (V_{GS} + V_{THP})_4 = 0,6 \text{ 27V}$$

$$\rightarrow I_{D6} = \frac{K_p W}{2 L} (V_{GS6} + V_{THP})^2 \text{ Jadi}$$

$$\left(\frac{W}{L}\right)_6 = 35,6 \rightarrow L_6 = 0,35\mu\text{m} \quad W_6 = 12,5\mu\text{m}$$



Gambar 12. Rangkaian OP-AMP OTA
Dua Stage

M8 sebagai cermin arus maka besar ukuran

$$\left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_5 \times \frac{I_{ref}}{I_{D5}} \rightarrow W_8 = 0,9 \mu\text{m}$$

$I_{ref} = 4 \mu\text{A}$ sehingga besar ukuran M9 dan M10
= $L = 10 \mu\text{m}$, $W = 0,6 \mu\text{m}$

- Besar penguatan terbuka (AoL) dimana
 $\lambda_N = 0,05 \text{V}^{-1}$, $\lambda_P = 0,15 \text{V}^{-1}$
 $AV = 2489,67 \text{V/V}$. Atau 67,9dB
Besar fase margin (PM) = 90°

$$\arctan\left(\frac{gm_6}{2\pi f u C_L}\right) = 76^\circ$$

$$\text{Noise} = S_n(f) \approx \frac{16}{3} \frac{kT}{gm_{1,2}} \approx 5 \frac{nV}{\sqrt{\text{Hz}}}$$

Untuk menguji keluaran tegangan offset (V_{os}) = 0V digunakan parameter perbandingan $M_6/M_4 = 2M_7/M_4$;

$$\frac{W_6}{L_6} = \frac{W_7}{L_7} \rightarrow \frac{12,5}{0,35} = \frac{51}{0,35} \rightarrow \rightarrow \frac{W_4}{L_4} = \frac{W_5}{L_5} \rightarrow \frac{2,2}{0,35} = \frac{9}{0,35}$$

5,68=5,67 (perbandingan mendekati sama)

5. Hasil Simulasi Penguat Operasional Transconductance (OTA).

Simulasi yang dilakukan terhadap disain rangkaian op-amp 2 stage (OTA) dengan menggunakan perangkat lunak simulasi mentor graphic dengan teknologi AMS 0,35 μm CMOS proses. Simulasi dititikberatkan pada karakteristik op-amp yang diaplikasikan ke dalam ADC pipeline.

Nilai parameter yang tercantum pada tabel 1 merupakan hasil simulasi op-amp OTA dua stage. Simulasi pertama merupakan simulasi dari perhitungan manual, pada saat dilakukan

simulasi dihasilkan nilai yang berbeda dengan perhitungan manual hal ini karena ;

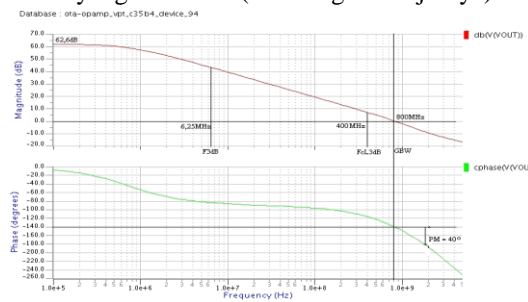
- Konstanta dari MOS pada teknologi AMS adalah variabel ($K_n = 155 \mu\text{A/V}$ s/d $195 \mu\text{A/V}$ dan $K_p = 50 \mu\text{A/V}$ s/d $70 \mu\text{A/V}$), dan digunakan dalam perhitungan $K_n = 189 \mu\text{A/V}$ dan $K_p = 64 \mu\text{A/V}$, sehingga diperlukan eksperimen simulasi.
- Tegangan threshold dari MOS juga variabel ($V_{THn} = 0,4\text{V}$ s/d $0,64\text{V}$ dan $V_{THp} = -0,53\text{V}$ s/d $0,77\text{V}$). dan digunakan $V_{THn} = 0,46\text{V}$ dan $V_{THp} = -0,68\text{V}$.

Tabel 1. Hasil Perubahan Nilai W/L Pada OP-Amp OTA.

No	Keterangan	Simulasi Pertama	Simulasi Kedua
1	M1	42/0,35	42/0,7
2	M2	42/0,35	42/0,7
3	M3	2,2/0,35	2,2/0,35
4	M4	2,2/0,35	2,2/0,35
5	M5	9/0,35	9,18/0,35
6	M6	12,5/0,35	18,94/0,35
7	M7	51/0,35	51,52/0,35
8	M8	0,9/0,35	9/0,35
9	M9	0,6/10	0,6/10
10	M10	0,6/10	0,6/10
11	Cc	0,25pF	0,275pF
12	AoL	58dB	62,6dB
13	GBW	160,7MHz	800MHz
14	SR	289,86 V/ μS	130,34V/ μS
15	PM	59,2 $^\circ$	40 $^\circ$
16	CMR	+2,51V dan -3V	+2,68V dan -2,85V
17	OS	+3V dan -3,29V	+2,89V dan -3,11V
18	Pd	1,9859mW	1,6136mW
19	Vos	-8,9043mV	0,3mV
20	Iss	40 μA	35,75 μA

Dengan melakukan analisa terhadap perubahan pada nilai W/L didapatkan perbaikan parameter dari op-amp yang diinginkan, dengan menggunakan konstanta $K_n = 175 \mu\text{A/V}$ dan $K_p = 60 \mu\text{A/V}$, tegangan treshold $V_{THn} = 0,52\text{V}$ dan $V_{THp} = +0,65\text{V}$ dari perhitungan parameter AMS 0,35 μm . Disain op-amp OTA [Eri.P,2005] menggunakan topologi NMOS untuk rangkaian differensial, dan buffer menggunakan NMOS dengan beban aktif PMOS, dalam penelitian ini menggunakan topologi PMOS (M1,2) sebagai rangkaian differensial dan PMOS (M6) sebagai penyangga dengan NMOS (M7) sebagai beban aktif, hal ini didasarkan untuk meningkatkan kapasitansi beban menjadi $C_L = 3,4\text{pF}$ untuk

menjaga kestabilan frekuensi GBW dengan beban yang fluktuatif (dari Stage selanjutnya).



Gambar 13. Hasil Simulasi Kedua Penguatan AoL dan PM OP-AMP.

6. Kesimpulan

Perubahan nilai parameter W/L dengan mengacu pada perhitungan W/L simulasi ke dua (hasil akhir) dengan $K_n=175\mu\text{A/V}$ dan $K_p=60\mu\text{A/V}$, terjadi perbedaan dengan hasil simulasi pertama sebesar 4,6 dB (hasil ini bila dibandingkan dengan simulasi pertama untuk penguatan terbuka sesuai dengan syarat op-amp untuk aplikasi ADC *Sigma-Delta* ($\Sigma\Delta$)). Hasil simulasi ke dua menunjukkan perbaikan penguatan mode terbuka (AoL) op-amp menjadi 62,6dB dan frekuensi unity menjadi 800MHz dengan fase margin (PM) sebesar 40° dari $180^\circ - 140^\circ$. Besar frekuensi penguatan 2V/V adalah 400MHz dengan nilai tersebut masih di atas frekuensi clock saklar kapasitor (SC).

7. Daftar Pustaka

- [1] Anonim, 2008, "Parameter Ruler Design CMOS AMS 0,35um," Mentor Graphics Corporation.
<http://www.mentor.com/ams.html>.
- [2] B.-S. Song, La Jolla, and Gilman," *Design CMOS Analog-to-Digital Converter*," ECE264C, International WorkShop in University of California, San Diego,2007
- [3] Boaz Shem-Tov, Mücahit Kozak, and Eby G. Friedman," *A High-Speed CMOS OP-AMP Design Technique Using Negative Miller Capacitance*." 0-7803-8715-5/04,2004 IEEE.

- [3] Cheongyuen B.T , " *Digitally Calibrated Analog-to-Digital Converters in Deep Sub-micron CMOS*," No.67 UCB/EECS, 22 May 2008
- [4] Eri Prasetyo, Dominique Ginhac and M. Paindavoine, 2005 , " *Principles of CMOS Sensors Dedicated to Face Tracking and Recognition*," In IEEE CAMP05 International Workshop on Computer Architecture for Machine Perception.
- [5] J. Shim, I. Park, dan B. Kim " A third Order $\Sigma\Delta$ modulator in 0.18 um CMOS with calibrated mixed-mode integrators," *IEEE J. Solid State Circuits* vol 40. April 2005
- [6] Lisha Li, 2007, " *High Gain Low Power Operational Amplifier Design and Compesation Techniques*," A dissertation, Brigham Young University
- [7] M. Keskin, Un-Ku Moon, dan G. C. Temes, "A 1-V 10-MHz clock-rate 13-bit CMOS $\Sigma\Delta$ modulator using unity-gain-reset opamps," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 7, pp. 817-824, July 2002.
- [8] Seung-Chul Lee, Young-Deuk Jeon, and Jong-Kee Kwon," *A 9-Bit 80-MS/s CMOS Pipelined Folding A/D Converter with an Offset Canceling Technique*," ETRI Journal, Volume 29, Number 3, June 2007
- [9] Shankar T, Abul Bashar M, dan Bahar Jalali F, "Sigma Delta Modulator with Hybrid Integrator (Over Sampling $\Sigma\Delta$ Class)" 2007
- [10] T. Salo, T. Hollman, S. Lindfors, dan K. Halonen, "A dual mode 80MHz bandpass delta-sigma modulator for a GSM/WCDMA IF-receiver," *IEEE Solid-State Circuits Conference*, vol.1, pp. 218-221, Feb. 2002.
- [11] Xin Jiang, Sanghyun Seo and Yumin Lu, 2003 , " *A CMOS Single Stage Fully Differential OP-Amp with 120 dB DC Gain*," EECS 413 Fall University of Michigan.